

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-127157

(43)Date of publication of application : 30.05.1991

(51)Int.Cl. G06F 13/10
G06F 12/00
G06F 13/14

(21)Application number : 01-265511

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.10.1989

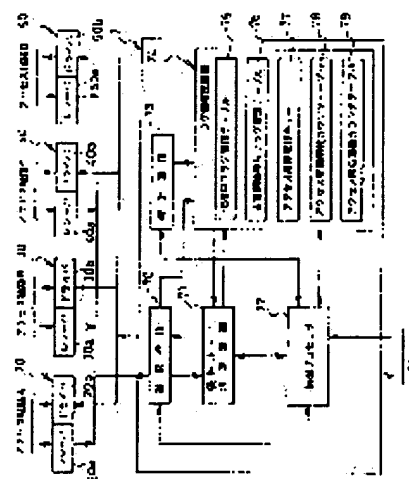
(72)Inventor : WATANABE CHUICHI
KAGEURA KENICHI
YUZAWA IZUMI

(54) LOAD BALANCE CONTROL SYSTEM FOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To improve the availability of the storage device by storing an access sequence, an execution frequency, and an access waiting frequency, defining the execution priority of an access request, and optimizing an execution sequence of the access request from plural access paths.

CONSTITUTION: A selecting circuit 70 receives an access request signal in the order of arrivals, updates the contents of a log information storage part 74, based on information of a target volume, etc., contained in this access request signal, at the timing obtained from a timepiece circuit 73, and delivers the access request signal to a preferential route determining circuit 71. The preferential route determining circuit 71 defines the priority of access paths A - D, based on the contents of the log information storage part 74 updated by the selecting circuit 70, and informs a result of definition to the selecting circuit 70. The selecting circuit 70 issues a signal for giving the occupancy right against a target volume to one of the access paths A - D, based on a result of this definition, to the preferential route determining circuit, and this signal is transmitted to a central processor equipment. Therefore, the availability of the storage device is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-127157

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月30日

G 06 F 13/10
12/00
13/143 3 0 C
5 7 2
3 1 0 H7218-5B
8841-5B
7218-5B

審査請求 未請求 請求項の数 3 (全10頁)

⑮ 発明の名称 記憶装置の負荷バランス制御方式

⑯ 特 願 平1-265511

⑰ 出 願 平1(1989)10月12日

⑱ 発 明 者 渡 辺 忠 一 神奈川県小田原市国府津2880番地 株式会社日立製作所小田原工場内

⑲ 発 明 者 影 浦 憲 一 神奈川県小田原市国府津2880番地 株式会社日立製作所小田原工場内

⑳ 発 明 者 湯 沢 泉 神奈川県小田原市国府津2880番地 株式会社日立製作所小田原工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 筒井 大和

明 細 書

1. 発明の名称

記憶装置の負荷バランス制御方式

2. 特許請求の範囲

1. 複数のアクセス経路および複数の制御装置を介して上位処理装置に接続され、当該上位処理装置との間で授受されるデータを記憶する記憶媒体と、この記憶媒体と前記制御装置との間におけるデータ転送を行う転送回路とを備えた記憶装置であって、前記記憶媒体内に論理的に配置され、前記上位処理装置に共有される共通アクセス領域への前記アクセス経路を介したアクセスにおけるアクセス順序およびアクセス実行頻度およびアクセス待ち頻度の少なくとも一つを記憶する第1の手段と、この第1の手段に記憶された前記アクセス順序およびアクセス実行頻度およびアクセス待ち頻度の少なくとも一つを参照し、複数の前記アクセス経路の各々からの前記アクセス要求の実行優先順位を確定する第2の手段とを設け、複数の前記アクセス経路

の各々からの前記アクセス要求の実行順序を最適化することとを特徴とする記憶装置の負荷バランス制御方式。

2. 前記記憶装置は、複数の前記制御装置各々からの指示された判断基準に基づいて、複数の前記アクセス経路の各々からの前記アクセス要求の受付頻度の配分を行うようにした請求項1記載の記憶装置の負荷バランス制御方式。

3. 前記上位処理装置から、複数の前記アクセス経路を介した前記アクセス要求の受付の優先順位情報を受け、当該優先順位情報に基づいて複数の前記アクセス経路からの前記アクセス要求の受付頻度の最適な配分を前記記憶装置が自動的に行うようにした請求項1または2記載の記憶装置の負荷バランス制御方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、記憶装置の負荷バランス制御技術に関し、特に、複数の上位処理装置によって共有される記憶装置における入出力処理の負荷バラン

特開平 3-127157 (2)

スの制御に効果のある技術に関する。

〔従来の技術〕

たとえば、情報処理システムなどにおいて使用される外部記憶装置においては、その動作特性や使用目的さらには使用分野などに応じて、磁気テープ装置、磁気ディスク装置、さらには半導体メモリによって磁気ディスク装置と等価な機能を実現するとともに応答動作を高速化した半導体ディスク装置などが広く使用されている。

さらに、システムが処理すべき情報量の増大に呼応して、このような記憶装置における記憶容量は増加の一途にあり、複数の中央処理装置によって一つの記憶装置を共有するシステム構成が一般化している。

ところで、記憶装置を複数の中央処理装置で共有する場合には、システム相互間において、記憶装置へのアクセスの排他制御を行うことが必須であり、通常、このような排他制御は、中央処理装置と記憶装置との間に介在する制御装置が行っている。

最適な制御には効果があるものの、制御装置とその配下の記憶装置との間の特定のアクセス経路への入出力負荷の偏りの発生を防ぎ得ないという問題がある。

すなわち、前述のような従来技術では、複数の制御装置が記憶装置内に論理的に配置された共有アクセス領域へアクセスし、それらのアクセスが競合した場合、記憶装置は先着優先により、競合に競り勝った制御装置からのアクセスを受け付けて入出力処理を開始する。

この共有アクセス領域は、特定のアクセス経路からのアクセス中に他のアクセス経路からのアクセスが抑止される複数の排他単位に分割されており、現在アクセス中の制御装置（アクセス経路）からの一連の処理（更新や削除などのデータの読み込み／書き込み）が終了するまで、当該制御装置（アクセス経路）に占有されつづけるという制御方式をとる。従って、この間、共有アクセス領域は他の制御装置から見た場合に使用中となり他の制御装置は処理の終了まで待ち状態に入る。

たとえば、特開昭 61-62155 号公報や特開昭 61-86857 号公報などに開示される技術のように、複数の中央処理装置が複数のアクセス経路および当該アクセス経路に介在する制御装置を介して記憶装置を共有する場合に、アクセス経路の使用状況を記憶する共用メモリを設け、個々の制御装置がこの共用メモリを参照することにより、上位の複数の中央処理装置からのアクセス要求に対する応答に優先順位を持たせて排他制御を実現している。

また、特開昭 63-146147 号公報などに開示される技術では、記憶装置に、当該記憶装置に接続されるアクセス経路毎のアクセス状況を記憶するメモリを設け、上位の中央処理装置が適宜このメモリの内容を参照することにより、記憶装置における入出力の実際の負荷状況を把握できるようにしている。

〔発明が解決しようとする課題〕

ところが、上記のような従来技術では、中央処理装置と制御装置との間におけるアクセス経路の

一連の処理が終了すると、記憶装置は、待機中の全制御装置に対して占有状態の解除を一斉に通知し、これを契機として、待機中の制御装置は、前述のような中央処理装置に対する応答順位により指示されたアクセス要求を再度記憶装置に対して発行するが、この時、複数の制御装置間で前述のような競合が発生した場合には、やはり競り勝った制御装置（アクセス経路）が記憶装置の共有アクセス領域を占有して入出力処理を開始する。

このような、記憶装置の共有アクセス領域の占有・解除といった動作が、システム稼働時に繰り返行われた場合、制御装置と中央処理装置との間におけるアクセス経路の制御とは関係なく、記憶装置は一時的に早いもの勝ちの制御を繰り返すため、ある特定の制御装置（アクセス経路）からのアクセス要求のみを受け付けるといったサービスの偏りが発生し、他のアクセス経路からのアクセス要求が異常に長く待たされるなどして記憶装置の可用性や性能が損なわれるという問題がある。

そこで、本発明の目的は、記憶装置に対する入

特開平 3-127157(3)

出力の負荷をバランス良く制御して、記憶装置の可用性を向上させることが可能な記憶装置の負荷バランス制御方式を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明になる記憶装置の負荷バランス制御方式は、複数のアクセス経路および複数の制御装置を介して上位処理装置に接続され、当該上位処理装置との間で授受されるデータを記憶する記憶媒体と、この記憶媒体と制御装置との間におけるデータ転送を行う転送回路とを備えた記憶装置であって、記憶媒体内に論理的に配置され、上位処理装置に共有される共通アクセス領域へのアクセス経路を介したアクセスにおけるアクセス順序およびアクセス実行頻度およびアクセス待ち

頻度の少なくとも一つを記憶する第1の手段と、この第1の手段に記憶されたアクセス順序およびアクセス実行頻度およびアクセス待ち頻度の少なくとも一つを参照し、複数のアクセス経路の各々からのアクセス要求の実行優先順位を確定する第2の手段とを設け、複数のアクセス経路の各々からのアクセス要求の実行順序を最適化するようにしたものである。

〔作用〕

上記した本発明の記憶装置の負荷バランス制御方式によれば、複数のアクセス経路が接続される記憶装置に設けられた第2の手段により、たとえば、アクセス実行頻度／アクセス待ち頻度の値のより大きなアクセス経路からのアクセス要求の実行優先順位がより高くなるようにアクセス要求の実行優先順位を設定することにより、アクセス要求の実行頻度が特定のアクセス経路に偏ったり、特定のアクセス経路から発行されるアクセス要求が異常に長く待たされることなどが回避され、複数のアクセス経路を介して上位の中央処理装置全

体から見た記憶装置の可用性が向上する。

〔実施例〕

以下、本発明の一実施例である記憶装置の負荷バランス制御方式の一例を図面を参照しながら詳細に説明する。

第1図は、実施例の記憶装置の要部の構成の一例を示すブロック図であり、第2図は、この記憶装置を含むサブシステムの構成の一例を示すブロック図である。

まず、第2図を参照しながら、本実施例のサブシステムの構成の概要を説明する。

半導体記憶装置1は、複数のアクセス経路A、アクセス経路B、アクセス経路C、アクセス経路D、さらには当該アクセス経路A、B、C、Dの各々に介在する制御装置2、制御装置3、制御装置3、制御装置5を介して、上位の図示しない複数の中央処理装置(CPU)に個別に接続され、これらの中央処理装置によって共有されている。

半導体記憶装置1は、記憶媒体として比較的大容量の半導体メモリ6を備えており、この半導体

メモリ6の記憶領域は、排他単位である複数のボリューム0～ボリュームnからなり、さらに各々のボリュームは、上位の制御装置におけるソフトウェアインターフェイスなどによって論理的に分割されている。

また、半導体記憶装置1には、複数のアクセス経路A、B、C、Dの各々に対応して複数のインターフェイス回路20、インターフェイス回路30、インターフェイス回路40、インターフェイス回路50が設けられている。各々のインターフェイス回路は、レシーバ20a、ドライバ20b、レシーバ30a、ドライバ30b、レシーバ40a、ドライバ40b、レシーバ50a、ドライバ50bで構成されており、前記各アクセス経路を介した上位の前記制御装置2～5と半導体メモリ6との間におけるデータやコマンドなどの情報の授受を制御している。

なお、半導体記憶装置1は、半導体メモリ6を管理する制御プロセッサや、揮発性の半導体メモリ6に格納されている情報の停電時などにおける

特開平 3-127157 (4)

消失などを防止するなどの目的で当該情報を退避させる不揮発性記憶媒体、さらには半導体メモリ 6 と不揮発性記憶媒体との間における情報の退避／復旧を制御する制御回路などを備えているが、これらの図示および説明は割愛する。

この場合、半導体記憶装置 1 において、複数のインターフェイス回路 20～50 と半導体メモリ 6 との間には、後述のような構成の回路群 7 が介設されている。

すなわち、この回路群 7 は、第 1 図に示されるように、選択回路 70 と、優先ルート決定回路 71 と、制御プロセッサ 72 と、時計回路 73 と、ログ情報記憶部 74 とで構成されている。

ログ情報記憶部 74 は、使用中フラグ管理テーブル 75、占有解除待ちフラグ管理テーブル 76、アクセス順序管理キュー 77、アクセス受信回数カウンタテーブル 78、アクセス待ち回数カウンタテーブル 79 とからなっている。

選択回路 70 は、インターフェイス回路 20～50 のレシーバ 20a～50a を介して上位側か

ら到来するアクセス要求信号を先着順で受け取り、時計回路 73 から得られるタイミングで、当該アクセス要求信号に含まれる目的のボリュームや、当該アクセス要求信号が何れのアクセス経路からのものかなどの情報に基づいて、ログ情報記憶部 74 の内容を更新し、優先ルート決定回路 71 に当該アクセス要求信号を引き渡す動作を行う。

優先ルート決定回路 71 は、選択回路 70 が更新したログ情報記憶部 74 の内容に基づいて、後述のような方式でアクセス経路 A～D の優先順位を確定し、確定結果を選択回路 70 に通知する動作を行う。選択回路 70 は、優先ルート決定回路 71 によって確定された結果に基づいて、アクセス経路 A～D のいずれかに、目的のボリュームに対する占有権を与える信号を発行し、この信号は、インターフェイス回路 20 のドライバ 20b～50b を介して上位の中央処理装置 (CPU) に伝えられる。

このような選択回路 70 および優先ルート決定回路 71 の一連の動作は制御プロセッサ 72 によ

って統括して制御される。

第 3 図 (a)～(c) は、ログ情報記憶部 74 を構成する前記各テーブルの構成の一例を論理的なフォーマットで示したものである。

すなわち、同図 (a) に示される使用中フラグ管理テーブル 75 は、半導体メモリ 6 に含まれる複数のボリュームのボリューム番号 0～n の各々に複数のアクセス経路 A～D を対応付ける複数のエントリを備えたテーブルであり、任意の一つのボリュームを任意のアクセス経路 A～D が使用中の場合に該当エントリにフラグがセットされるようになっている。

選択回路 70 は、アクセス要求信号を受理した時点でこの使用中フラグ管理テーブル 75 を参照し、アクセス要求信号を発行したアクセス経路が目的とするボリュームに対応するエントリを検索して、当該アクセス経路以外のエントリにフラグがセットされている場合には、当該ボリュームが他のアクセス経路によって占有中であることを知り、また、全エントリにフラグがセットされてい

ない場合には、現在の受付中のアクセス要求信号を発行した当該アクセス経路に対応するエントリにフラグをセットして他のアクセス経路からのアクセスを抑止する。

また、占有解除待ちフラグ管理テーブル 76 は、同図 (b) に示されるように、複数のボリュームのボリューム番号 0～n の各々に複数のアクセス経路 A～D を対応付ける複数のエントリを備えており、選択回路 70 は、使用中フラグ管理テーブル 75 の参照時に目的のボリュームがすでに他のアクセス経路によって占有中であることが判明した場合に当該アクセス経路と目的のボリューム番号とによって特定されるエントリにフラグをセットして、占有解除待ち状態であることを表示する。

占有解除時には、当該フラグが参照され、当該アクセス経路に対して目的のボリュームが占有解除されたことが通知される。

同図 (c) に示されるアクセス順序管理キュー 77 は、複数のボリュームのボリューム番号 0～n の各々について複数のアクセス経路 A～D の数だけ

特開平 3-127157 (6)

のエントリがキュー構造を形成しており、選択回路 70 がインターフェイス回路 20 ～ 50 (アクセス経路 A ～ D) を介して上位側から受理したアクセス要求信号の到着順に、順序 1 から順序 4 にアクセス経路 A ～ D が登録される。

すなわち、順序 1 に登録されているアクセス経路 A ～ D は現在当該ボリュームを占有中であり、順序 2 ～ 4 に登録されている他のアクセス経路 A ～ D は、その順序で待ち状態であることを示している。

したがって、順序 1 に登録されているアクセス経路に対応する使用中フラグ管理テーブル 75 のエントリにフラグがセットされ、順序 2 ～ 4 に登録されているアクセス経路に対応する占有解除待ちフラグ管理テーブル 76 の該当エントリにフラグがセットされていることになる。

なお、本実施例の場合には、後述のように、優先ルート決定回路 71 によって、所定のアルゴリズムなどに基づいて、順序 2 ～ 4 におけるアクセス経路の登録状態が適宜変更される。

ス経路 A ～ D の順序を適宜入れ替えることで、複数のアクセス経路 A ～ D のアクセス待ち回数 / アクセス受信回数の値 (比率) が平均化するようにする。

すなわち、優先ルート決定回路 71 は、前記の値がより大きく、アクセス待ちの発生率がより多かったアクセス経路 A ～ D の実行順位がより高くなるように、アクセス順序管理キュー 77 の入れ替えを行う。

アクセス順序管理キュー 77 の各エントリはキュー構造なので、順序 1 に登録されていたアクセス経路の当該ボリュームに対するアクセスが完了した時点で削除され、順序 2 ～ 4 のエントリが順次繰り上がる。優先ルート決定回路 71 は、繰り上がり後の順序に従って、上位の装置への占有解除の通知順位を確定し、確定結果を選択回路 70 がドライバ 20b ～ 50b を介して上位の装置に通知する。

この通知動作の後に当該ボリュームにアクセス要求を発行したアクセス経路は、当該ボリューム

同図 (d) に示されるアクセス受信回数カウンタテーブル 78 は、複数のボリューム番号の各々と複数のアクセス経路 A ～ D の各々によって特定される複数のエントリを備えており、個々のエントリには、あるボリュームに対してあるアクセス経路からアクセス要求信号が発行された回数が記録・管理されている。

また、同図 (e) に示されるアクセス待ち回数カウンタテーブル 79 は、アクセス経路 A ～ D の各々において、アクセス受信回数カウンタテーブル 78 に記録された個々のボリュームに対するアクセスの試行回数のうち、待ち状態が発生した回数が記録・管理されている。

優先ルート決定回路 71 は、常にアクセス受信回数カウンタテーブル 78 とアクセス待ち回数カウンタテーブル 79 とを参照し、アクセス待ち回数 / アクセス受信回数の値 (比率) を求めて、各アクセス経路 A ～ D 毎に記憶する。そして、アクセス順序管理キュー 77 において、順序 2 ～ 4 に登録されてアクセス待ち状態となっているアクセ

ス経路 A ～ D の順序を適宜入れ替えることで、複数のアクセス経路 A ～ D のアクセス待ち回数 / アクセス受信回数の値 (比率) が平均化するようにする。

また、アクセス受信回数カウンタテーブル 78 およびアクセス待ち回数カウンタテーブル 79 の各エントリはカウンタであるため、各ボリューム毎に、オーバーフローを生じる可能性があるが、その場合、アクセス受信回数カウンタテーブル 78 が先にオーバーフローすることになる。

そこで、優先ルート決定回路 71 は、アクセス受信回数カウンタテーブル 78 のオーバーフローの検出を契機として、アクセス受信回数カウンタテーブル 78 およびアクセス待ち回数カウンタテーブル 79 の当該ボリュームに対応する全アクセス経路 A ～ D のエントリを初期値の零に戻し、前述のようにして記憶している当該ボリュームの全アクセス経路 A ～ D に関するアクセス待ち回数 / アクセス受信回数の値 (アクセス待ちの発生率) に基づいて書き直す。

たとえば、あるアクセス経路の前記の比率が 1 / 10 であった場合、当該アクセス経路に対応するアクセス受信回数カウンタテーブル 78 のエン

特開平 3-127157 (6)

トリには 10 を書き込み、またアクセス待ち回数カウンタテーブル 79 の該当エントリには 1 を書き込むことで、当該アクセス経路のアクセス待ちの程度などに関する情報がオーバーフロー直前の状態に一致するようにする。

また、システムの障害時などにおける再立ち上げ時には、ログ情報記憶部 74 の使用中フラグ管理テーブル 75 ～アクセス待ち回数カウンタテーブル 79 のすべてのエントリが初期化され、また、特定のボリュームに障害が発生した場合には、当該ボリュームに関するエントリが初期化される。

以下、本実施例の記憶装置の負荷バランス制御方式の作用の一例について、第 4 図に示されるフローチャートなどを参照しながら説明する。

なお、第 4 図では、障害発生時の処理が省略されている。

まず、任意の中央処理装置から半導体記憶装置 1 の半導体メモリ 6 におけるあるボリュームに対するアクセス要求信号が発行されると、当該アクセス要求信号をインターフェイス回路 20 ～ 50

／読み出しなどの処理を開始する（ステップ 105）。

なお、占有が確定したアクセス経路による目的のボリュームへのアクセス中に発生した、他のボリュームに対する他のアクセス経路からのアクセス要求は、受理され、並行して処理が遂行される。

前述のステップ 105 の処理が完了すると（ステップ 106）、選択回路 70 は、ログ情報記憶部 74 の占有解除待ちフラグ管理テーブル 76 を参照し（107）、当該ボリュームに対する他のアクセス経路の待ち状態を調べる（ステップ 108）。

このとき、当該アクセス経路によるアクセス待ちが発生していなければ、使用中フラグ管理テーブル 75 の当該アクセス経路に対応するフラグをリセットして（ステップ 113）、処理を終わる。

一方、ステップ 108 において、当該ボリュームに対するアクセス待ち状態の他のアクセス経路が存在することが判明した場合には、アクセス順序管理キュー 77 の当該ボリュームに対応する順

のいずれかが受理し、選択回路 70 に伝達する（ステップ 100）。

選択回路 70 は、当該ボリュームが他のアクセス経路によって占有中か否かを判断するための命令を制御プロセッサ 72 から受け、ログ情報記憶部 74 の使用中フラグ管理テーブル 75 を参照する（ステップ 101）。

制御プロセッサ 72 は、使用中フラグ管理テーブル 75 の当該ボリュームの使用中を示すフラグがいずれのアクセス経路にも設定されていなければ当該アクセス経路の該当エントリにフラグをセットして占有を宣言する（ステップ 102）。

さらに、アクセス順序管理キュー 77 の目的のボリュームの順序 1 に当該アクセス経路を登録し、この時点で当該アクセス経路による目的のボリュームの占有が確定する（ステップ 103）。

そして、アクセス受信回数カウンタテーブル 78 の目的のボリュームの当該アクセス経路に対応したエントリの値を更新し（ステップ 104）、目的のボリュームを占有して、データの書き込み

序 2 ～ 4 のエントリを参照する（ステップ 109）。

この時、前述のように、順序 2 ～ 4 は、優先ルート決定回路 71 による入れ替え操作によって、各アクセス経路の当該ボリュームに対するアクセス頻度が均等化するように設定されている。

このアクセス順序管理キュー 77 の参照操作の後、選択回路 70 は、制御プロセッサ 72 の指示により、使用中フラグ管理テーブル 75 の当該ボリュームの当該アクセス経路のフラグをリセットする（ステップ 110）。

そして、優先ルート決定回路 71 によって優先アクセス経路が順次選択回路 70 に伝達され、選択回路 70 は、その優先順に、各アクセス経路に対して（上位側に対して）当該ボリュームが開放された旨を各インターフェイス回路 20 ～ 50 を介して伝達する（ステップ 111）。

この動作の後、選択回路 70 は制御プロセッサ 72 の命令に基づいて占有解除待ちフラグ管理テーブル 76 上の前記通知済みのアクセス経路のフ

特開平 3-127157 (7)

ラグを全てリセットする（ステップ 112）。

これにより、上位側からの特定のアクセス経路を介した特定のボリュームに対するアクセス要求による占有が成功した場合の処理が完了する。

一方、前記ステップ 101 において、目的のボリュームが他のアクセス経路によって占有中であった場合には、選択回路 70 は制御プロセッサ 72 指示により、ログ情報記憶部 74 の占有解除待ちフラグ管理テーブル 76 の該当エントリにフラグをセットする（ステップ 114）。

そして、アクセス順序管理キュー 77 の目的のボリュームに対応する順序 2～4 のいずれかのエントリに当該アクセス経路を登録する（ステップ 115）。

続いて、アクセス受信回数カウンタテーブル 78 およびアクセス待ち回数カウンタテーブル 79 の各々における目的のボリュームの当該アクセス経路に対応するエントリの値に 1 ずつ加算し（ステップ 116、ステップ 117）、その後、上位側に対して、選択回路 70 は、アクセス要求のあ

ったボリュームがすでに他のアクセス経路によって使用中である旨を、インターフェイス回路 20～50 を介して通知する（ステップ 118）。

その後、制御プロセッサ 72 の指示により、優先ルート決定回路 71 はアクセス受信回数カウンタテーブル 78 とアクセス待ち回数カウンタテーブル 79 を参照し（ステップ 119）、アクセス待ち回数／アクセス受信回数の値（アクセス待ちの発生率）を求め、当該ボリュームに関する他のアクセス経路の値と比較する（ステップ 120）。

そして、目的のボリュームに関して他のアクセス経路に比較して当該アクセス経路のアクセス待ちの発生率が低い場合には、そのまま、占有解除を待ち、処理を終了する。

一方、前記ステップ 120 において、目的のボリュームに関して他のアクセス経路に比較して当該アクセス経路のアクセス待ちの発生率が高い場合には、優先ルート決定回路 71 はアクセス順序管理キュー 77 を操作し、当該ボリュームに関する順序 2～4 を判定結果に従って入れ替える（ス

テップ 121）。

こうして、これまでの当該ボリュームに対するアクセス成功の確率が低かった当該アクセス経路は、優先順位（順序）の高い状態で目的のボリュームの占有解除までアクセス待ち状態となり、当該ボリュームの他のアクセス経路による占有状態が解除されたときに優先して実行される状態となって処理が終了する。

このように、本実施例の場合には、半導体記憶装置 1 に設けられたログ情報記憶部 74 の使用中フラグ管理テーブル 75、占有解除待ちフラグ管理テーブル 76、アクセス順序管理キュー 77、アクセス受信回数カウンタテーブル 78、アクセス待ち回数カウンタテーブル 79 を設け、上位側から複数のアクセス経路を介してアクセス要求を受け付ける選択回路 70、優先ルート決定回路 71 などが、このログ情報記憶部 74 を適宜参照することで、半導体記憶装置 1 の側において、独自に複数のアクセス経路 A～D から発生するアクセス要求の受付および実行を、たとえば特定のアク

セス経路による特定の半導体メモリ 6 内の特定のボリュームに対するアクセス頻度が偏らないように、適正に配分することが可能となる。

これにより、半導体記憶装置 1 に対する入出力の負荷をバランス良く制御して、上位のすべての中央処理装置などからみた半導体記憶装置 1 の可用性を向上させることができる。

この結果、たとえば、特定のアクセス経路から特定のボリュームに対する偏ったアクセスにより、他のアクセス経路からの当該ボリュームに対するアクセスが異常に長く待たされて、処理が停止するなどの障害が発生する懸念が解消され、半導体記憶装置 1 を含む外部記憶サブシステムなどにおける性能および信頼性の向上が実現する。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、上記の実施例の説明では、複数のア

特開平 3-127157 (8)

アクセス経路の特定のボリュームに対するアクセス許可の優先順位の判定方法として、アクセス要求の発生回数とアクセス待ちの発生回数との比率を用いる場合について説明したが、これに限らず、たとえば、システム稼働時に優先度の高いアクセス経路に対して特別の初期設定を行うことにより当該優先度を確保して、複数のアクセス経路の全体としての入出力バランスを制御してもよい。

また、単なるアクセス要求の発生回数とアクセス待ちの発生回数との比率に限らず、アクセス要求発生数および待ち発生数に対して微分／積分処理を適宜施して、傾き／面積イメージなどの情報を得、これらの情報に基づいて優先順位を設定してもよい。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

すなわち、本発明になる記憶装置の負荷バランス制御方式は、複数のアクセス経路および複数の

制御装置を介して上位処理装置に接続され、当該上位処理装置との間で授受されるデータを記憶する記憶媒体と、この記憶媒体と前記制御装置との間におけるデータ転送を行う転送回路とを備えた記憶装置であって、前記記憶媒体内に論理的に配置され、前記上位処理装置に共有される共通アクセス領域への前記アクセス経路を介したアクセスにおけるアクセス順序およびアクセス実行頻度およびアクセス待ち頻度の少なくとも一つを記憶する第1の手段と、この第1の手段に記憶された前記アクセス順序およびアクセス実行頻度およびアクセス待ち頻度の少なくとも一つを参照し、複数の前記アクセス経路の各々からの前記アクセス要求の実行優先順位を確定する第2の手段とを設け、複数の前記アクセス経路の各々からの前記アクセス要求の実行順序を最適化するので、たとえば、複数のアクセス経路が接続される記憶装置に設けられた第2の手段により、たとえば、アクセス実行頻度／アクセス待ち頻度の値のより大きなアクセス経路からのアクセス要求の実行優先順位がよ

り高くなるようにアクセス要求の実行優先順位を設定することで、アクセス要求の実行頻度が特定のアクセス経路に偏ったり、特定のアクセス経路から発行されるアクセス要求が異常に長く待たされることなどが確実に回避され、複数のアクセス経路を介して上位の中央処理装置などから見た記憶装置の可用性が向上する。

4. 図面の簡単な説明

第1図は、実施例の記憶装置の要部の構成の一例を示すブロック図、

第2図は、記憶装置を含むサブシステムの構成の一例を示すブロック図、

第3図(a)～(e)は、ログ情報記憶部の内部構成の一例を示す説明図、

第4図は、本発明の記憶装置の負荷バランス制御方式の作用の一例を示すフローチャートである。

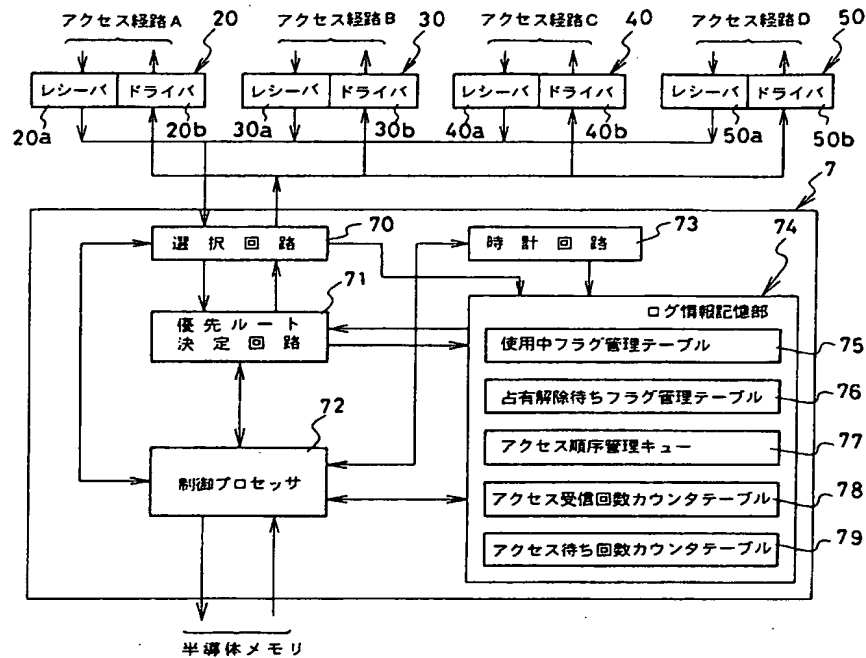
1・・・半導体記憶装置、2, 3, 4, 5・・・制御装置、6・・・半導体メモリ、7・・・回路群、20～50・・・インターフェイス回路、20a～50a・・・レシーバ、20b～50b

・・・ドライバ、70・・・選択回路、71・・・優先ルート決定回路、72・・・制御プロセッサ、73・・・時計回路、74・・・ログ情報記憶部、75・・・使用中フラグ管理テーブル、76・・・フラグ管理テーブル、77・・・アクセス順序管理キュー、78・・・アクセス受信回数カウンタテーブル、79・・・アクセス待ち回数カウンタテーブル、100～121・・・記憶装置の負荷バランス制御方式の一例を示すステップ、A, B, C, D・・・アクセス経路。

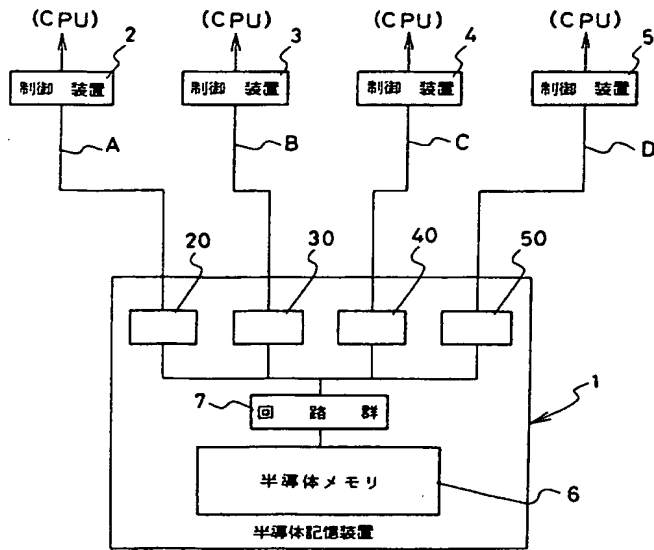
代理人 弁理士 筒井大和

特開平 3-127157 (9)

第 1 図

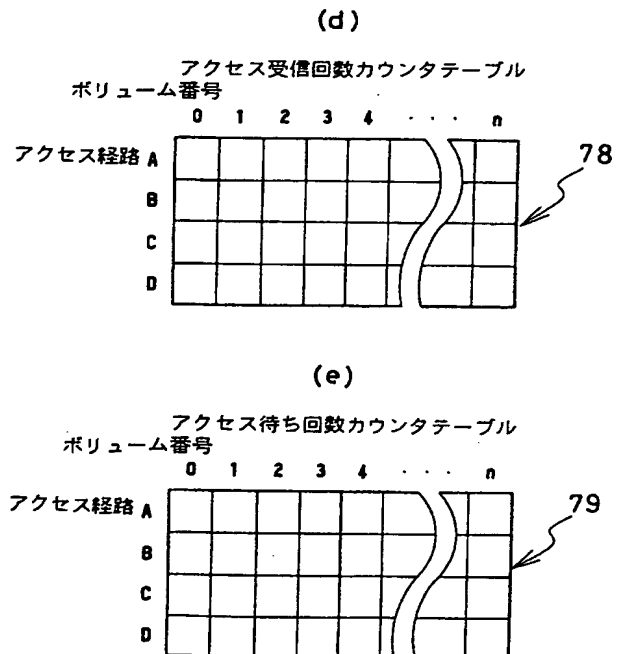


第 2 図



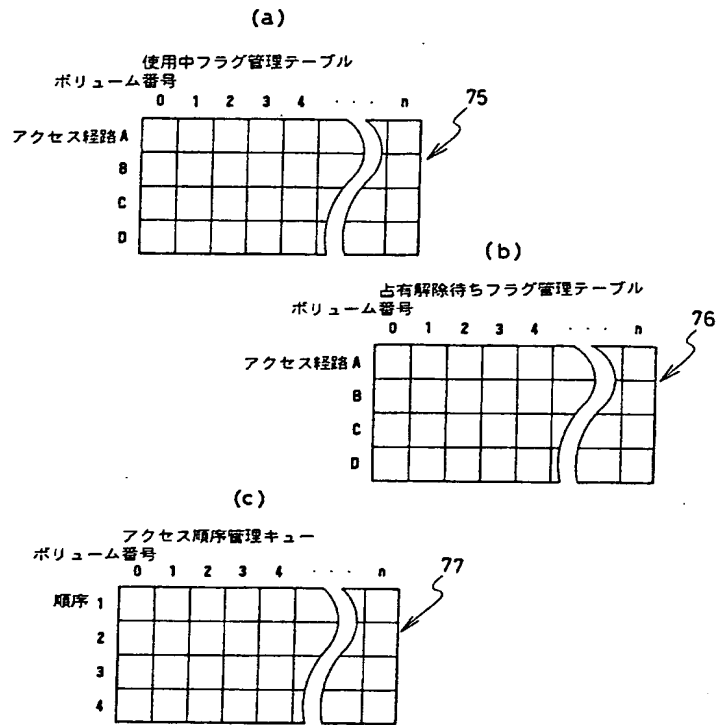
A, B, C, D: アクセス経路
20, 30, 40, 50: インターフェイス回路

第 3 図



特開平 3-127157 (10)

第 3 図



第 4 図

